

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-30408

(43) 公開日 平成7年(1995)1月31日

(51) Int.Cl. ⁹	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 19/177		9383-5 J		
H 0 1 L 21/82		8122-4 M	H 0 1 L 21/ 82	A

審査請求 未請求 請求項の数 6 O L (全 7 頁)

(21) 出願番号 特願平5-167878

(22) 出願日 平成5年(1993)7月7日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 青山 琢磨

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

(72) 発明者 瀧場 明

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

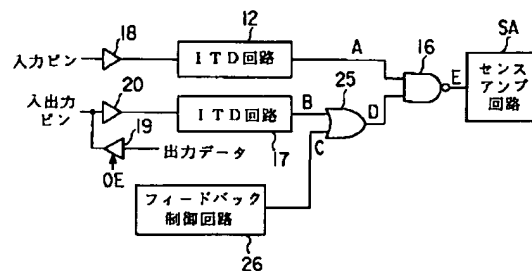
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【目的】この発明は、消費電流を低減できる半導体集積回路を提供することを目的とする。

【構成】PLDに、出力信号をANDアレイにフィードバックして用いるか否かに応じてセンスアンプ回路SAの動作を制御するフィードバック制御回路26を設けている。このフィードバック制御回路26は、出力信号をANDアレイにフィードバックして用いる時には、出力信号の変化を検知するITD回路17から出力されるパルス信号Bをセンスアンプ回路SAに供給してイネーブル状態にし、フィードバックしない時にはパルス信号Bのセンスアンプ回路SAへの供給を阻止してディセーブル状態にすることにより、センスアンプ回路SAのイネーブル期間を短くして、無駄な消費電流を削減することを特徴としている。



1

【特許請求の範囲】

【請求項 1】 出力ピンまたは入出力ピンから出力される信号の変化を検知してパルス信号を出力する第 1 の回路と、このパルス信号にตอบสนองしてイネーブル状態となる第 2 の回路と、上記第 1 の回路から出力されるパルス信号を上記第 2 の回路に伝達するか否かを制御する第 3 の回路とを具備することを特徴とする半導体集積回路。

【請求項 2】 出力ピンまたは入出力ピンから出力される信号の変化と制御信号とに基づいてパルス信号を出力する第 1 の回路と、このパルス信号にตอบสนองしてイネーブル状態となる第 2 の回路と、上記制御信号を出力して上記第 1 の回路からパルス信号を出力するか否かを制御する第 3 の回路とを具備することを特徴とする半導体集積回路。

【請求項 3】 前記第 3 の回路は、少なくとも 1 つの記憶素子を有し、この記憶素子に記憶されたデータに基づいて出力が変化することを特徴とする請求項 1 または 2 に記載の半導体集積回路。

【請求項 4】 前記第 3 の回路は、入出力ピンを信号入力に用いるか、信号出力に用いるかを制御する回路を含むことを特徴とする請求項 1 または 2 に記載の半導体集積回路。

【請求項 5】 プログラム可能な積項線を有し、入力信号が供給される AND アレイと、上記入力信号が供給され、この入力信号の変化を検知して第 1 のパルス信号を出力する第 1 の I T D 回路と、上記 AND アレイの出力信号を増幅する第 1 のセンスアンプ回路と、プログラム可能な和項線を有し、上記第 1 のセンスアンプ回路の出力信号が供給される OR アレイと、上記 OR アレイの出力信号を増幅して出力する第 2 のセンスアンプ回路と、この第 2 のセンスアンプ回路の出力を上記 AND アレイにフィードバックするフィードバック手段と、上記第 2 のセンスアンプ回路の出力信号の変化を検知して第 2 のパルス信号を出力する第 2 の I T D 回路と、上記フィードバック手段によって上記第 2 のセンスアンプ回路の出力が上記 AND アレイにフィードバックされるか否かに応じた制御信号を出力するフィードバック制御回路と、このフィードバック制御回路から出力される制御信号に基づいて、上記第 2 のセンスアンプ回路の出力が上記 AND アレイにフィードバックされる時に、上記第 1 及び第 2 の I T D 回路から第 1 及び第 2 のパルス信号が出力されている期間に上記第 1 及び第 2 のセンスアンプ回路をイネーブル状態に設定し、上記第 2 のセンスアンプ回路の出力が上記 AND アレイにフィードバックされない時に、上記第 1 のパルス信号が出力されている期間に上記第 1 及び第 2 のセンスアンプ回路をイネーブル状態に設定する論理手段とを具備することを特徴とする半導体集積回路。

【請求項 6】 プログラム可能な積項線を有し、入力信号が供給される AND アレイと、上記入力信号が供給さ

2

れ、この入力信号の変化を検知して第 1 のパルス信号を出力する第 1 の I T D 回路と、上記 AND アレイの出力信号を増幅するセンスアンプ回路と、このセンスアンプ回路の出力信号が供給される OR 回路と、この OR 回路の出力を上記 AND アレイにフィードバックするフィードバック手段と、上記 OR 回路の出力信号の変化を検知して第 2 のパルス信号を出力する第 2 の I T D 回路と、上記フィードバック手段によって上記 OR 回路の出力が上記 AND アレイにフィードバックされるか否かに応じた制御信号を出力するフィードバック制御回路と、このフィードバック制御回路から出力される制御信号に基づいて、上記 OR 回路の出力が上記 AND アレイにフィードバックされる時に、上記第 1 及び第 2 の I T D 回路から第 1 及び第 2 のパルス信号が出力されている期間に上記センスアンプ回路をイネーブル状態に設定し、上記 OR 回路の出力が上記 AND アレイにフィードバックされない時に、上記第 1 のパルス信号が出力されている期間に上記センスアンプ回路をイネーブル状態に設定する論理手段とを具備することを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、半導体集積回路に関する。特に P L D (Programmable Logic Device) に関する。

【0002】

【従来の技術】P L D は、ロジック回路が AND-OR の積和論理で構成できることを利用した論理 L S I であり、プログラム可能な積項線と和項線を持っており、ユーザーがプログラムすることにより、任意の論理回路をチップ内部に構成することが可能なデバイスである。すなわち、入力ピンから供給された入力信号に対し、任意の論理出力を出力ピンから得ることが可能であり、必要に応じて、その論理出力をフィードバックして積項線の入力信号として使用することもできる。また、P L D では、任意の論理回路を構成するために、E P R O M や E² P R O M 等の記憶素子を使用しており、これらの記憶素子の出力を増幅するためのセンスアンプ回路が内蔵されている。そして、上記センスアンプ回路の低消費電力化のために、一定幅のパルス信号が出力されている期間のみセンスアンプ回路をイネーブル状態にするための措置が施されている。

【0003】図 6 は、上述した P L D の基本的なシステム構成を示すブロック図である。入力ピンから供給された入力信号は、プログラム可能な AND アレイ 11 と I T D (Input Transition Detector) 回路 12 に入力され、前者の出力はセンスアンプ回路 13 で感知増幅されて OR アレイ 14 の入力端に、後者の出力は N A N D 回路 16 の一方の入力端にそれぞれ供給される。上記 I T D 回路 12 は、入力ピンから供給された入力信号の変化を検知して一定幅のパルス信号 A を生成する。上記 OR

アレイ14の出力は、センスアンプ回路15で感知増幅され、出力ピンまたは入出力ピンから出力される。

【0004】このセンスアンプ回路15の出力は、ANDアレイ11にフィードバックして入力信号としても使用できるような構造になっており、これによってフィードバック信号が必要な順序回路等の構成も可能となっている。また、上記センスアンプ回路15の出力信号はITD回路17に供給され、このITD回路17により出力信号の変化が検知されると、一定幅のバルス信号Bが生成されて上記NAND回路16の他方の入力端に供給される。上記ITD回路17は、出力信号をプログラム可能なANDアレイ11（積項線）に入力信号としてフィードバックする際に、出力信号の変化を検知するためのものである。上記NAND回路16から出力される制御信号Eにตอบสนองして、上記センスアンプ回路13、15がイネーブル状態となる。そして、出力ピンまたは入出力ピンから積項線と和項線のプログラムに応じた所望の論理信号を出力するようになっている。

【0005】図7は、上記図6におけるITD回路12、17とその周辺回路を抽出して示している。図8は、この図7に示した回路における各信号のタイミングチャートである。また、図9は図6及び図7に示した回路におけるITD回路12、17の構成例を示し、図10は上記図9の回路の入力信号と出力信号の関係を示している。

【0006】図7に示す如く、入力ピンから供給された入力信号は、バッファ18を介してITD回路12に供給される。一方、バッファ19から入出力ピンを介して出力される出力信号は、バッファ20を介してITD回路17に供給される。ITD回路12は入力信号の変化を検知してバルス信号Aを生成し、ITD回路17は出力信号の変化を検知してバルス信号Bを生成する。これらバルス信号A、BはそれぞれNAND回路16に供給される。このNAND回路16の出力は、制御信号Eとしてセンスアンプ回路SA（図6のセンスアンプ回路13、15に対応する）の動作を制御する制御入力端に供給される。なお、上記バッファ19は、OE（Output Enable）信号により動作が制御され、入出力ピンはこのバッファ19がイネーブル状態のとき信号出力、ディセーブル状態のときには信号入力に用いられる。

【0007】ITD回路12、17はそれぞれ、図9に示すように排他的NOR回路21及び遅延回路として働く複数のインバータ22、23、24から構成されており、図10に示すように入力信号INが変化すると上記インバータ22、23、24の各遅延時間 Δt_1 、 Δt_2 、 Δt_3 の和 ΔT に対応した幅のバルス信号OUT（バルス信号AまたはB）を出力する。

【0008】上記のような構成において、図8に示すように入力信号が変化して入力ピンの電位が“L”レベルから“H”レベルに立ち上がると、ITD回路12は Δ

Tの期間だけ“L”レベルとなるバルス信号Aを出力する。上記入力信号の供給によってAND-ORの論理演算が行われ、演算結果がバッファ19を介して入出力ピンから出力されると、ITD回路17によって出力信号の変化が検知され、同じく ΔT の期間“L”レベルとなるバルス信号Bが出力される。よって、NAND回路16から出力される制御信号Eは、バルス信号Aが“L”レベルに低下してからバルス信号Bが“H”レベルに立ち上がるまでの期間“H”レベルとなり、この期間センスアンプ回路SA（13、15）がイネーブル状態となる。すなわち、両ITD回路12、17の少なくとも一方から出力されるバルス信号が“L”レベルの期間はNAND回路16の制御信号Eが“H”レベルとなり、センスアンプ回路SAがイネーブル状態になる。一方、センスアンプ回路SAは、制御信号Eが“L”レベルの期間は前のサイクルの出力データを保持しており、この期間は消費電流が小さくなっている。従って、ITD回路12、17によって、センスアンプ回路SA（13、15）を増幅動作が必要ときにイネーブル状態、不要ときにはディセーブル状態に切換えることができるので、消費電流を低減できる。

【0009】しかしながら、上記のような構成では、センスアンプ回路15の出力信号をANDアレイにフィードバックして使用しない場合にも、出力ピンあるいは入出力ピンから出力される信号の変化を検知してバルス信号Bが発生するため、イネーブル状態にする必要がないにも拘らずセンスアンプ回路13、15がイネーブル状態となり、無駄な電流を消費する欠点がある。

【0010】

【発明が解決しようとする課題】上述したように、従来の半導体集積回路は、出力ピンまたは入出力ピンから出力される信号の変化を検知して回路のイネーブル状態とディセーブル状態とを切換えるため、必要がない場合にも回路がイネーブル状態となり、無駄な電流を消費するという問題があった。この発明は上記のような事情に鑑みてなされたもので、その目的とするところは、消費電流を低減できる半導体集積回路を提供することにある。

【0011】

【課題を解決するための手段】すなわち、請求項1に示すこの発明の半導体集積回路は、出力ピンまたは入出力ピンから出力される信号の変化を検知してバルス信号を出力する第1の回路と、このバルス信号にตอบสนองしてイネーブル状態となる第2の回路と、上記第1の回路から出力されるバルス信号を上記第2の回路に伝達するか否かを制御する第3の回路とを具備することを特徴とする。

【0012】請求項2の半導体集積回路は、出力ピンまたは入出力ピンから出力される信号の変化と制御信号とに基づいてバルス信号を出力する第1の回路と、このバルス信号にตอบสนองしてイネーブル状態となる第2の回路と、上記制御信号を出力して上記第1の回路からバルス

信号を出力するか否かを制御する第3の回路とを具備することを特徴とする。

【0013】また、請求項5に示すこの発明の半導体集積回路は、プログラム可能な積項線を有し、入力信号が供給されるANDアレイと、上記入力信号が供給され、この入力信号の変化を検知して第1のバース信号を出力する第1のITD回路と、上記ANDアレイの出力信号を増幅する第1のセンスアンプ回路と、プログラム可能な和項線を有し、上記第1のセンスアンプ回路の出力信号が供給されるORアレイと、上記ORアレイの出力信号を増幅して出力する第2のセンスアンプ回路と、この第2のセンスアンプ回路の出力を上記ANDアレイにフィードバックするフィードバック手段と、上記第2のセンスアンプ回路の出力信号の変化を検知して第2のバース信号を出力する第2のITD回路と、上記フィードバック手段によって上記第2のセンスアンプ回路の出力が上記ANDアレイにフィードバックされるか否かに応じた制御信号を出力するフィードバック制御回路と、このフィードバック制御回路から出力される制御信号に基づいて、上記第2のセンスアンプ回路の出力が上記ANDアレイにフィードバックされる時に、上記第1及び第2のITD回路から第1及び第2のバース信号が出力されている期間に上記第1及び第2のセンスアンプ回路をイネーブル状態に設定し、上記第2のセンスアンプ回路の出力が上記ANDアレイにフィードバックされない時に、上記第1のバース信号が出力されている期間に上記第1及び第2のセンスアンプ回路をイネーブル状態に設定する論理手段とを具備することを特徴とする。

【0014】請求項6の半導体集積回路は、プログラム可能な積項線を有し、入力信号が供給されるANDアレイと、上記入力信号が供給され、この入力信号の変化を検知して第1のバース信号を出力する第1のITD回路と、上記ANDアレイの出力信号を増幅するセンスアンプ回路と、このセンスアンプ回路の出力信号が供給されるOR回路と、このOR回路の出力を上記ANDアレイにフィードバックするフィードバック手段と、上記OR回路の出力信号の変化を検知して第2のバース信号を出力する第2のITD回路と、上記フィードバック手段によって上記OR回路の出力が上記ANDアレイにフィードバックされるか否かに応じた制御信号を出力するフィードバック制御回路と、このフィードバック制御回路から出力される制御信号に基づいて、上記OR回路の出力が上記ANDアレイにフィードバックされる時に、上記第1及び第2のITD回路から第1及び第2のバース信号が出力されている期間に上記センスアンプ回路をイネーブル状態に設定し、上記OR回路の出力が上記ANDアレイにフィードバックされない時に、上記第1のバース信号が出力されている期間に上記センスアンプ回路をイネーブル状態に設定する論理手段とを具備することを特徴とする。

【0015】

【作用】請求項1及び2のような構成によれば、第3の回路から出力される制御信号による制御に基づいて、第1の回路から出力されるバース信号を選択的に無効にできるので、不要時には第2の回路をディセーブル状態にすることにより消費電流を低減できる。

【0016】請求項5の構成では、フィードバック制御回路から出力される制御信号に基づいて、第2のセンスアンプ回路の出力がANDアレイにフィードバックされない時には、論理手段で第2のITD回路の出力を無効にするので、第1、第2のセンスアンプ回路をイネーブル状態にする期間を短くして、無駄な消費電流を低減できる。

【0017】また、請求項6の構成では、フィードバック制御回路から出力される制御信号に基づいて、OR回路の出力がANDアレイにフィードバックされない時には、論理手段で第2のITD回路の出力を無効にするので、センスアンプ回路をイネーブル状態にする期間を短くして、無駄な消費電流を低減できる。

【0018】

【実施例】以下、この発明の一実施例について図面を参照して説明する。図1は、この発明の第1の実施例に係る半導体集積回路について説明するためのもので、ITD回路12、17とその周辺回路を抽出して示している。この図1は上記図7に示した回路に対応するものであり、PLDの基本的なシステム構成は上記図6と同様である。図2は上記図1に示した回路における各信号のタイミングチャート、図3は上記図1に示したフィードバック制御回路の構成例を示す回路図である。

【0019】図1に示すように、入力ピンから供給された入力信号はバッファ18を介してITD回路12に供給され、バッファ19から入出力ピンを介して出力される出力信号（入出力ピンが信号入力用に用いられる場合は入力信号）はバッファ20を介してITD回路17に供給される。ITD回路12は、入力信号の変化を検知して一定期間“L”レベルとなるバース信号Aを生成し、ITD回路17は出力信号（または入力信号）の変化を検知して一定期間“L”レベルとなるバース信号Bを生成するように構成されている。上記バース信号AはNAND回路16の一方の入力端に、上記バース信号BはOR回路25の一方の入力端にそれぞれ供給される。このOR回路25の他方の入力端にはフィードバック制御回路26の出力信号Cが供給され、その出力信号Dが上記NAND回路16の他方の入力端に供給される。上記フィードバック制御回路26は、記憶素子、例えばE² PROMを備え、このE² PROMに予め記憶したデータに応じて“H”レベルまたは“L”レベルの信号Cを出力する。この信号Cは、出力信号がプログラム可能な積項線に入力信号としてフィードバックされない場合は“H”レベル、フィードバックされる場合は“L”レ

ベルとなるようにE² PROMの記憶データが決定される。そして、NAND回路16から出力される制御信号Eがセンスアンプ回路SA（図6のセンスアンプ回路13、15に対応する）の制御入力端に供給され、イネーブル状態とディセーブル状態とが切換え制御される。このセンスアンプ回路SAは、NAND回路16から出力される制御信号Eが“H”レベルの時にはイネーブル状態、“L”レベルの時にはディセーブル状態（データ保持状態）になる。なお、上記バッファ19は、OE信号により動作が制御され、入出力ピンはこのバッファ19がイネーブル状態のとき出力ピン、ディセーブル状態のときには入力ピンとして働く。

【0020】上記フィードバック制御回路26は、例えば図3に示すように、読み出し用セレクトゲートN1、データ記憶用のセルトランジスタN2、書き込み用セレクトゲートN3、プルアップ用トランジスタP1及びインバータ27から構成されている。上記セレクトゲートN1、セルトランジスタN2及びセレクトゲートN3は、上記インバータ27の入力端と接地点間に直列接続される。上記セレクトゲートN1のゲートには読み出し用の信号RG、上記トランジスタN2のコントロールゲートには信号CG、上記セレクトゲートN3のゲートには書き込み用の信号WGがそれぞれ供給される。これらセレクトゲートN1、セルトランジスタN2及びセレクトゲートN3は、いわゆる3トランジスタ型のE² PROMセルを構成している。また、上記トランジスタP1のドレイン、ソースは、上記インバータ27の入力端と電源V_{cc}間に接続され、そのゲートはインバータ27の出力端に接続される。そして、このインバータ27の出力信号Cを図1に示したOR回路25に供給するようになっている。

【0021】上記のような構成のフィードバック制御回路26において、データの読み出しの時には、信号RG及びWGを共に“H”レベル、信号CGを“L”レベルに設定する。この時、トランジスタN2に書き込みが行われていれば（フローティングゲートから電子が放出されていれば）、セレクトゲートN1、セルトランジスタN2及びセレクトゲートN3が全てオン状態となるため、インバータ27の入力端が“L”レベルとなり、出力信号Cは“H”レベルとなる。一方、セルトランジスタN2が書き込まれていない場合には、このセルトランジスタN2がオフ状態であるため、インバータ27の入力端がプルアップ用トランジスタP1により“H”レベルにプルアップされ、この回路26の出力信号Cは“L”レベルとなる。

【0022】次に、上記のような構成において図1に示した回路の動作を説明する。まず、出力ピン（入出力ピンが出力ピンとして使用される場合も含む）の信号がプログラム可能な積項線に入力信号としてフィードバックされる場合を考える。この時、フィードバック制御回路

26は出力信号Cが“L”レベルとなるようにセルトランジスタN2に書き込みが行われる。よって、入力信号の変化をITD回路12が検知するとΔTの期間“L”レベルとなるパルス信号AがNAND回路16に供給されると共に、出力信号の変化をITD回路17が検知するとΔTの期間“L”レベルとなるパルス信号BがOR回路25を介してNAND回路16に供給される。この結果、NAND回路16から出力される制御信号Eは、従来の回路と同様にITD回路12のパルス信号Aが“L”レベルに低下してからITD回路17のパルス信号Bが“H”レベルに立ち上がるまでの期間“H”レベルとなり、この期間はセンスアンプ回路SAがイネーブル状態になる。

【0023】次に、出力ピンの信号が、プログラム可能な積項線に入力信号としてフィードバックされない場合について考える。この時、フィードバック制御回路26のセルトランジスタN2には書き込みが行われないので出力信号Cは“H”レベルとなり、OR回路25の出力信号Dは“H”レベルで固定される。従って、出力信号の変化を検知してITD回路17からパルス信号Bが出力されてもNAND回路16には伝達されず、このNAND回路16の出力信号Eは入力信号の変化によりITD回路12で生成されたパルス信号Aの幅と等しくなる。すなわち、図2に示すように、制御信号Eは、パルス信号Aが“L”レベルに低下してからこのパルス信号Aが“H”レベルに立ち上がるまでのΔTの期間“H”レベルとなる。従って、出力信号のフィードバックを行わず、センスアンプ回路SAを動作させる必要がない場合には、パルス信号Aの“L”レベルから“H”レベルへの立ち上がりから、パルス信号Bの“L”レベルから“H”レベルへの立ち上がりまでの期間ΔL（図2にハッチングを付した部分に相当する時間）だけセンスアンプ回路SAのイネーブル期間を短くできるので、無駄な消費電流を低減して低消費電力化できる。

【0024】また、入出力ピンが入力用に使用される場合には、フィードバック制御回路26の出力信号Cが“L”レベルとなるようにセルトランジスタN2に書き込みを行えば、ITD回路17のパルス信号BはOR回路25を介してNAND回路16に供給される。よって、NAND回路16の出力信号Eは、ITD回路12のパルス信号Aが“L”レベルに低下してからITD回路17のパルス信号Bが“H”レベルに立ち上がるまでの期間“H”レベルとなるので、この期間中センスアンプ回路SAをイネーブル状態にして動作させることができ、正常動作が得られる。

【0025】上述したように、第1の実施例では、出力信号をANDアレイ11にフィードバックして使用しない場合には、フィードバック制御回路26とOR回路25によってITD回路17の出力を無効にして、センスアンプ回路SAをイネーブル状態にする期間を短くでき

るので、無駄な消費電流を低減できる。

【0026】図4は、この発明の第2の実施例について説明するためのもので、上記図1に示した回路におけるITD回路17の入力段にフィードバック制御回路26の出力信号Cを供給してパルス信号Bを生成するかを制御している。図示しない他の回路構成は図1と同様である。すなわち、上記第1の実施例ではOR回路25でITD回路17のパルス信号Bとフィードバック制御回路26の出力信号Cの論理和を取ってNAND回路16に供給したのに対し、この回路ではITD回路17にバッファ20から供給される入力信号INとフィードバック制御回路26の出力信号CをOR回路27に供給して論理和を取り、このOR回路27の出力信号をITD回路17に供給するようにしている。ITD回路17は、排他的NOR回路28と遅延回路として働く複数のインバータ29、30、31とで構成しており、その出力信号B'をNAND回路16の他方の入力端に供給する。

【0027】出力信号をフィードバックして使用する場合、及び入出力ピンを入力ピンとして使用する場合には、上記第1の実施例と同様にフィードバック制御回路26の出力信号Cを“L”レベルで固定する。これによって、入力信号INの変化によって排他的NOR回路28から一定期間“L”レベルとなるパルス信号B'が出力される。従って、従来の回路と同様にITD回路12から出力されるパルス信号Aが“L”レベルに低下してから、ITD回路17から出力されるパルス信号B'が“H”レベルに立ち上がるまでの期間センスアンプ回路SAがイネーブル状態となる。

【0028】一方、出力信号をフィードバックして使用しない場合には、図5に示すようにフィードバック制御回路26の出力信号Cを“H”レベルで固定する。これによって、入力信号INのレベルに拘らずOR回路27の出力信号が“H”レベルで固定されるので、排他的NOR回路28の出力信号B'は“H”レベルに固定される。よって、センスアンプ回路SAは、入力ピンに接続されたITD回路12のパルス信号Aが“L”レベルの期間にのみイネーブル状態となる。

【0029】従って、図4に示すような構成であっても基本的には上記第1の実施例と同様な動作を行い、同じ効果が得られる。なお、上記実施例ではANDアレイとORアレイとを有する2面型のPLDを例に取って説明したが、この発明はANDアレイと固定OR回路とを有*

*する1面型、いわゆるPAL型のPLDにも適用可能である。PAL型の場合には、ORアレイに代えてOR回路が設けられ、ORアレイ用のセンスアンプ回路は不要になる。

【0030】また、上記第1、第2の実施例ではフィードバック制御回路26内にフィードバックを行うか否かに応じたデータを記憶するE² PROMセルを設け、このE² PROMセルの記憶データを読み出してセンスアンプ回路SAの動作を制御する場合を例にとって説明したが、データを記憶できる素子であればRAMやPROM等他の記憶素子を用いることができるのは勿論である。

【0031】

【発明の効果】以上説明したように、この発明によれば、消費電流を低減できる半導体集積回路が得られる。

【図面の簡単な説明】

【図1】この発明の第1の実施例に係る半導体集積回路について説明するためのもので、PLDにおけるITD回路とその周辺回路を抽出して示す図。

【図2】上記図1に示した回路における各信号のタイミングチャート。

【図3】上記図1に示したフィードバック制御回路の構成例を示す回路図。

【図4】この発明の第2の実施例に係る半導体集積回路について説明するためのもので、上記図1におけるITD回路とその周辺回路の一部を抽出して示す図。

【図5】上記図4に示した回路における各信号のタイミングチャート。

【図6】PLDの基本的なシステム構成を示すブロック図。

【図7】上記図6におけるITD回路とその周辺回路を抽出して示す図。

【図8】上記図7に示した回路のタイミングチャート。

【図9】上記図6及び図7に示した回路におけるITD回路の回路構成例を示す図。

【図10】上記図9に示した回路における入力信号と出力信号のタイミングチャート。

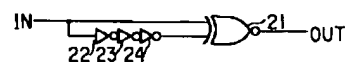
【符号の説明】

11…ANDアレイ、12、17…ITD回路（第1の回路）、13、15…センスアンプ回路（第2の回路）、14…ORアレイ、16…NAND回路、25…OR回路、26…フィードバック制御回路（第3の回路）、N2…E² PROM（記憶素子）。

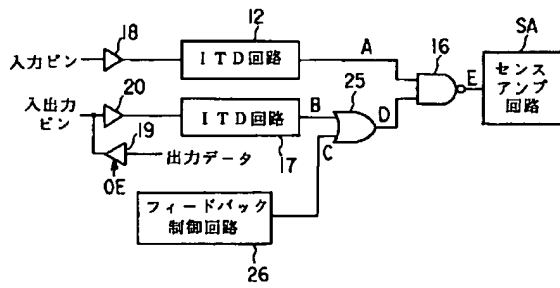
【図5】



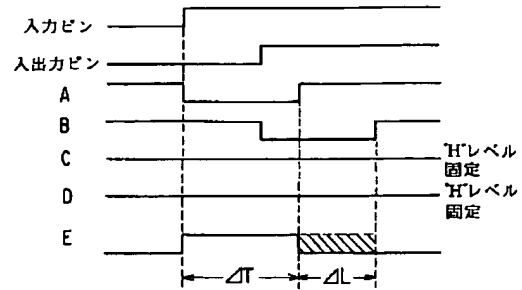
【図9】



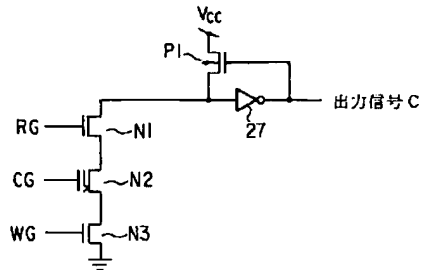
【図1】



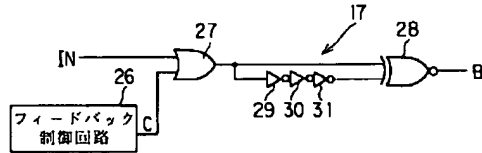
【図2】



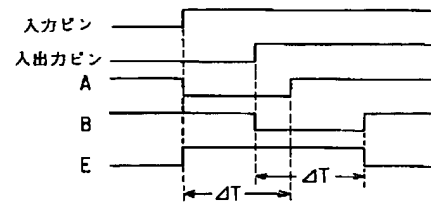
【図3】



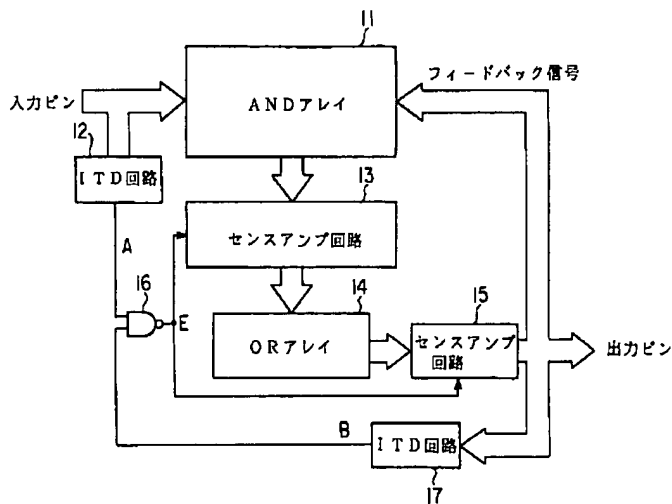
【図4】



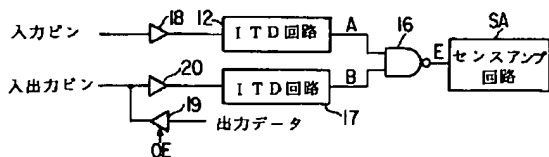
【図8】



【図6】



【図7】



【図10】

